


МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ДЕРЖАВНИЙ ВИЩИЙ НАВЧАЛЬНИЙ ЗАКЛАД
«ДОНЕЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ»

Грушко Світлана Сергіївна



УДК 004.383

**МЕТОДИ ЗМЕНШЕННЯ АПАРАТУРНИХ ВИТРАТ
ДЛЯ СУМЩЕНИХ МІКРОПРОГРАМНИХ АВТОМАТІВ
НА МІКРОСХЕМАХ ПРОГРАМОВАНОЇ ЛОГІКИ**

Спеціальність 05.13.05 – комп'ютерні системи та компоненти

Автореферат
дисертації на здобуття наукового ступеня
кандидата технічних наук

Покровськ - 2018

Дисертацією є рукопис.

Робота виконана на кафедрі комп'ютерних систем та мереж Запорізького національного технічного університету Міністерства освіти і науки України.

Науковий керівник кандидат технічних наук, доцент
Зеленьова Ірина Яківна,
Запорізький національний технічний університет,
доцент кафедри комп'ютерних систем та мереж

Офіційні опоненти: доктор технічних наук, професор
Мусієнко Максим Павлович,
Чорноморський національний університет імені
Петра Могили,
професор кафедри комп'ютерної інженерії

кандидат технічних наук, доцент
Защолкін Костянтин Вячеславович,
Одеський національний політехнічний університет,
доцент кафедри комп'ютерних інтелектуальних
систем та мереж

Захист відбудеться “24” січня 2019 року о 14-00 годині на засіданні спеціалізованої вченої ради Д11.052.03 при Державному вищому навчальному закладі «Донецький національний технічний університет» за адресою: 85300, м. Покровськ, пл. Шибанкова, 2, кор. 1, ауд. 1.211.

Із дисертацією можна ознайомитись у бібліотеці Державного вищого навчального закладу «Донецький національний технічний університет» (адреса: 85300, м. Покровськ, пл. Шибанкова, 2).

Автореферат розісланий “18” грудня 2018 року.

Вчений секретар
спеціалізованої вченої ради Д 11.052.03
к.т.н., доцент

Н. С. Костюкова

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. Темпи розвитку сучасної мікроелектроніки зумовлюють жорсткі вимоги до технічних характеристик цифрових систем (ЦС). При цьому в якості апаратного базису для реалізації більшості цифрових пристроїв різного ступеня складності часто застосовуються програмовані логічні інтегральні схеми (ПЛІС). Їх використання дозволяє отримати компактний і надійний цифровий пристрій з високою швидкістю і можливістю реконфігурації. Незважаючи на різноманітність характеристик ПЛІС, їх загальною ознакою є матрична структура (макрокомірки типу PLA/PAL для CPLD та мікрокомірки у вигляді базового логічного блоку (ЛБ) для FPGA).

Керуючий автомат є невід'ємною частиною практично кожної цифрової системи. Модель суміщеного мікропрограмного автомата (СМПА), завдяки своїм функціональним властивостям, широко використовується в практиці проектування сучасних складних систем.

Початок досліджень структур СМПА було покладено в роботах проф. С. І. Баранова та продовжено в роботах проф. О. О. Баркалова, а також у дослідженнях, що проводяться в Інституті кібернетики ім. В. М. Глушкова, Одеському національному політехнічному університеті та інш. При цьому використовуються методи реалізації логічних схем керуючих автоматів в ПЛІС, що застосовуються в тому числі і при синтезі СМПА, запропоновані в роботах С. І. Баранова, В. А. Склярова, О. В. Палагіна, П. Н. Бібіло, В. В. Соловйова, G. De Micheli, M. Adamski, R. Czerwinski.

В сучасних умовах інтенсивного розвитку технологій та широкого застосування ПЛІС виникають проблеми, пов'язані із необхідністю ефективного використання внутрішніх ресурсів кристала з метою поліпшення характеристик пристрою, таких як енергоспоживання, швидкодія, тепловиділення.

Одним із шляхів підвищення ефективності використання ресурсів ПЛІС є зменшення апаратних витрат в схемі пристрою при збереженні швидкодії.

Необхідність реалізації складних функцій (функцій багатьох змінних) в базисі ПЛІС, який має конструктивні обмеження на кількість входів/термінів/виходів, зумовлює проблему декомпозиції. Відомі методи функціональної декомпозиції (Шеннона, Рота-Карпа і т.п.) призводять до багаторівневих схем СМПА з неоптимальними характеристиками.

У сучасному процесі проектування ЦС на ПЛІС широко використовуються САПР. При автоматичному розміщенні схеми на ПЛІС реалізуються різні алгоритми декомпозиції систем булевих функцій. Однак, як показують експериментальні дослідження, автоматичне розміщення логічної схеми не забезпечує оптимального використання ресурсів мікросхеми, чим пояснюється актуальність задачі оптимізації при імплементації систем булевих функцій в структурі ПЛІС. В даному випадку розглядається мінімізація витрат апаратури. Наслідком такої оптимізації є не тільки можливе здешевлення і зменшення габаритів схеми, але і мінімізація споживаної потужності, а також потужності, що

розсіюється, скорочення часу поширення сигналу, що в цілому підвищує ефективність спроектованої схеми.

Дисертаційна робота присвячена вирішенню актуальної наукової задачі розробки структур і вдосконаленню методів синтезу СМПА, орієнтованих на зменшення витрат апаратури в логічній схемі СМПА при її реалізації в базисі ПЛІС.

Зв'язок роботи з науковими програмами, планами, темами. Дисертаційна робота виконана протягом 2010 – 2018 рр. згідно з планами науково-дослідної роботи № 04815 «Розробка та дослідження комп'ютерних моделей і методів для підвищення ефективності використання інформаційних технологій в наукових, виробничих та освітніх процесах» кафедри «Комп'ютерні системи та мережі» інституту інформатики та радіоелектроніки Запорізького національного технічного університету. У роботі також вирішується актуальна науково-практична задача, сформульована у договорі № 1-4817 про науково-технічне співробітництво Запорізького національного технічного університету з НПП «Хартрон-ЮКом».

Мета та завдання дослідження. *Метою* дисертаційного дослідження є зменшення апаратурних витрат при збереженні швидкодії в логічній схемі суміщеного мікропрограмного автомата при реалізації в базисі ПЛІС.

Для досягнення поставленої мети було визначено такі *завдання*:

- аналіз архітектурних особливостей мікросхем типу FPGA та CPLD, а також структур і методик синтезу СМПА, що вже існують, орієнтованих на реалізацію в цьому базисі;

- розробка нових структур СМПА для реалізації в базисі FPGA, що базуються на використанні внутрішньої гетерогенності FPGA для звільнення розподілених апаратурних ресурсів;

- удосконалення структур та методів синтезу схеми СМПА на FPGA, що базуються на використанні псевдоеквівалентних станів (ПЕС) та методі заміни логічних умов, орієнтованих на ефективне використання особливостей базису гетерогенних FPGA для зменшення апаратурних витрат в логічній схемі СМПА;

- розробка нових структур і методів синтезу схеми СМПА на CPLD, орієнтованих на зменшення кількості макроблоків, потрібних для реалізації логічної схеми;

- практичне дослідження розроблених структур і методів з використанням мікросхем різних фірм-виробників із метою визначення ступеню ефективності цих структур;

- розробка рекомендацій щодо вибору елементної бази для ефективного застосування запропонованих структур СМПА.

Об'єкт дослідження – синтез суміщеного мікропрограмного автомата.

Предмет дослідження – логічна схема суміщеного мікропрограмного автомата, що реалізується в базисі ПЛІС.

Методи дослідження. У процесі досліджень використані основні положення і формальний апарат теорії автоматів, теорії множин, булевої алгебри і прикладної комбінаторики. У процесі досліджень використані методики, розроблені В. М. Глушковим, які набули подальшого розвитку у роботах С. І. Баранова, В. А. Склярова, О. О. Баркалова, В. В. Соловйова.

Наукова новизна одержаних результатів полягає в тому, що розроблено нові структури та удосконалено методи синтезу суміщеного мікропрограмного автомата із використанням вже відомих, а також модифікованих автором, методів структурної редукції, направлених на зменшення апаратурних витрат в логічній схемі СМПА при її реалізації на ПЛІС. Методи, орієнтовані на різні типи ПЛІС – FPGA і CPLD, розглядаються окремо, з урахуванням структурних особливостей мікросхем. Зокрема, в дисертації:

1. Розроблено нову структуру СМПА на FPGA, що базується на використанні внутрішньої гетерогенності кристала і дозволяє зменшити число задіяних розподілених ресурсів до 10,8 % за рахунок застосування блоків вбудованої пам'яті. Це додатково призводить до більш компактного розташування схеми та зниження часових затримок при розповсюдженні сигналів.

2. Вдосконалено структури і методи синтезу СМПА на FPGA за рахунок використання кодів ПЕС, що призводить до зменшення кількості змінних в термах функції збудження пам'яті, внаслідок чого досягається зменшення апаратурних витрат до 33 %.

3. Вдосконалено базову структуру СМПА на CPLD шляхом використання псевдоеквівалентних станів, формування наборів вихідних сигналів, а також оптимального кодування станів з метою зменшення сумарного числа термів в усіх системах функцій СМПА. Це дозволяє досягти зменшення площі, яку схема займає на кристалі, в середньому на 26,3 % для мікросхем фірми Altera та 15,8 % для мікросхем фірми Xilinx.

4. Розроблено нові методи синтезу зі спеціальним комплексним кодуванням псевдоеквівалентних станів та наборів вихідних сигналів СМПА на CPLD, що дозволяє зменшити число термів в системах функцій переходів і вихідних сигналів автомата Мура.

Практичне значення одержаних результатів полягає в тому, що розроблені структури суміщених МПА на ПЛІС забезпечують можливість використання для синтезу пристроїв керування менші за розміром та вартістю мікросхеми, що, в свою чергу, дозволяє знизити вартість цифрового пристрою в цілому.

Розроблено практичні рекомендації щодо вибору структур СМПА у відповідності до обраного елементного базису, що дозволяє розробникам цифрової апаратури поліпшити ефективність проекту.

Результати дисертаційної роботи використовуються у науково-дослідницькій роботі згідно з договором № 1-4817 про науково-технічне співробітництво Запорізького національного технічного університету з НПП «Хартрон-Юком» і впроваджені в процес проектування систем керування бортовим цифровим обчислювальним комплексом КА «Січ-2М». Також результати досліджень реалізовані у вигляді методик синтезу СМПА на ПЛІС і використані на кафедрі «Комп'ютерні системи та мережі» Запорізького національного технічного університету при проведенні лекцій, лабораторних робіт, в курсовому проектуванні та наукових дослідженнях магістрів.

Особистий внесок здобувача. Автором особисто для моделей СМПА в базисах FPGA і CPLD виконано розробку структур СМПА при синтезі схем на

ПЛІС типу FPGA [5, 7]; розробку структур СМПА при синтезі схем на ПЛІС типу CPLD [1, 3, 4, 6, 8], вдосконалення методів синтезу схеми СМПА в базисі FPGA [10, 12], вдосконалення методів синтезу схеми СМПА в базисі CPLD [13, 18], дослідження ефективності запропонованих структур і методів синтезу схеми СМПА в базисі FPGA [14, 15, 21], дослідження ефективності запропонованих структур і методів синтезу схеми СМПА в базисі CPLD [19], дослідження ефективності розроблених структур і методів для вирішення задачі зменшення апаратних витрат в схемі блоку управління конфігурацією бортовим вимірювальним комплексом [11, 20].

Апробація результатів дисертації. Результати досліджень були повідомлені і обговорені на VIII Міжнародній науково-практичній конференції «Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій», 21-23 вересня 2016 р. (Запоріжжя); Міжнародній науково-практичній конференції «Проблеми і перспективи розвитку ІТ-індустрії», 20-21 квітня 2017 р. (Харків); Міжнародній науково-практичній конференції «Modern methods, innovations, and experience of practical application in the field of technical sciences», 27-28 грудня, 2017 (Радом, Польща); 14-й міжнародній IEEE конференції «Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET)» 20-24 лютого 2018 р. (Львів-Славське), XI Всеукраїнській науково-практичній WEB конференції аспірантів, студентів та молодих вчених «Комп'ютерні інтелектуальні системи та мережі», 21-23 березня, 2018 р. (Кривий Ріг), 9-й Міжнародній IEEE конференції «Dependable Systems, Services and Technologies DESSERT'2018», 24-27 травня 2018 р. (Київ); Міжнародній науково-практичній конференції «Електротехнічні та комп'ютерні системи: теорія та практика», 29 травня – 1 червня 2018 р. (Одеса), IX Міжнародної науково-практичної конференції «Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій», 03 – 05 жовтня, 2018 р. (Запоріжжя).

Публікації. Основні положення і результати досліджень викладені в 21 друкованій роботі, 7 з яких опубліковані у фахових збірниках наукових праць, рекомендованих МОН України, 1 – в іноземному виданні, 2 – включені до бібліотеки IEEE та Scopus.

Структура і обсяг роботи. Дисертаційна робота складається з вступу, чотирьох розділів основної частини і висновку, викладених на 154 сторінках тексту; містить 59 малюнків, 28 таблиць, список використаних літературних джерел з 108 найменувань.

ОСНОВНИЙ ЗМІСТ РОБОТИ

У **вступі** обґрунтовано актуальність теми дисертаційної роботи, визначені мета і завдання досліджень, ідея роботи, її наукова новизна і практичне значення.

У **першому розділі** – «Огляд та аналіз способів реалізації суміщених мікропрограмних автоматів на мікросхемах програмованої логіки» виконано огляд структур пристроїв управління, аналіз елементної бази та архітектурних особливостей мікросхем програмованої логіки, огляд методів синтезу структур пристроїв управління в базисі ПЛІС.

Будь-яка цифрова система може бути подана у вигляді двох основних компонентів – операційного автомата (ОА) і пристрою управління (ПУ), що функціонують спільно. ОА є виконавчим компонентом системи, який виконує обробку отриманих даних, формування результатів і логічних умов. ПУ забезпечує необхідний порядок виконання операцій в цифровій системі і формує розподілений в часі набір мікрооперацій. Взаємодія ОА і ПУ здійснюється на рівні обміну наборами мікрооперацій і логічних умов. Одним із способів математичного опису поведінки автомата в часі є представлення ПУ у вигляді суміщеного мікропрограмного автомата.

СМПА подається у вигляді пристрою з одним вхідним портом, на який надходять вхідні сигнали X , і двома вихідними портами, один з яких реалізує функцію виходу Y^1 , характерну для автомата Мілі, а інший – функцію виходу Y^2 , характерну для автомата Мура.

Вихідний сигнал Y^2 видається весь час, поки автомат знаходиться в стані a_m , вихідний сигнал Y^1 видається під час дії вхідного сигналу x_1 при знаходженні автомата в стані a_m .

Математична модель суміщеного автомата може бути подана у вигляді восьмикомпонентного вектору:

$$S = (A, X, Y^1, Y^2, \delta, \lambda_1, \lambda_2, \alpha_1). \quad (1)$$

Вектор (1) складається з наступних компонентів:

$A = \{a_1, \dots, a_M\}$ – множина внутрішніх станів СМПА;

$X = \{x_1, \dots, x_L\}$ – множина вхідних змінних (логічних умов);

Y^1 – множина вихідних змінних автомата Мілі;

Y^2 – множина вихідних змінних автомата Мура;

δ – функція переходів;

λ_1 – функція виходів автомата Мілі;

λ_2 – функція виходів автомата Мура;

$\alpha_1 \in A$ – початковий стан.

Функція δ – служить для визначення стану переходу $a_s \in A$ в залежності від поточного стану $a_m \in A$ і вектору вхідних змінних:

$$a_s = \delta(a_m, X). \quad (2)$$

Множина вихідних змінних $Y = Y^1 \cup Y^2$ складається з $N_1 = |Y^1|$ змінних автомата Мілі і $N_2 = |Y^2|$ змінних автомата Мура. При цьому $Y^1 \cap Y^2 = \emptyset$ і $N_1 + N_2 = N$.

Функція λ_1 визначає вихідні змінні $y_n \in Y^1$:

$$y_n = \lambda_1(a_m, X). \quad (3)$$

Функція λ_2 визначає вихідні змінні $y_n \in Y^2$:

$$y_n = \lambda_2(a_m). \quad (4)$$

У даній роботі закон функціонування СМПА виконується на основі граф-схеми алгоритму (ГСА). Для визначення функцій (2) – (4) відповідно ГСА будується пряма структурна таблиця (ПСТ).

В літературі запропонована базова структура СМПА для реалізації його в базисі ПЛІС у вигляді композиції двох комбінаційних схем (КС1 і КС2) і регістра RG (рис. 1). Така структура реалізується в ПЛІС з урахуванням особливостей

базису FPGA і CPLD. Для кодування станів $a_m \in A$ використовуються внутрішні змінні $T_r \in T$, де $|T|=R$. Стани кодуються мінімальним числом внутрішніх змінних:

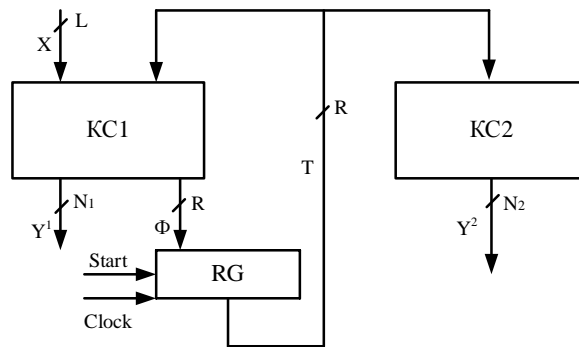
$$R = \lceil \log_2 M \rceil. \quad (5)$$


Рис. 1 – Структурна схема суміщеного автомата

Для збереження кодів станів використовується регістр (RG), що містить R тригерів. Як правило, при синтезі в базисі ПЛІС використовуються D тригери. Для зміни вмісту RG необхідно задати функції збудження $D_r \in \Phi$, де $\Phi = \{D_1, \dots, D_R\}$. Зміна вмісту RG відбувається за сигналом синхронізації Clock. Для встановлення в RG коду стану $a_1 \in A$ використовується імпульс Start.

Після формування прямої структурної таблиці (ПСТ) отримуємо системи:

$$\Phi = \Phi(T, X). \quad (6)$$

$$Y^1 = Y^1(T, X); \quad (7)$$

$$Y^2 = Y^2(T). \quad (8)$$

Система (6) визначає функцію (2), система (7) – функцію (3) и система (8) – функцію (4).

Для мінімізації витрат апаратури в схемі суміщеного автомата в базисі FPGA в літературі запропоновані структури, в яких застосовуються як гетерогенність FPGA, так і методи структурної редукції. Недоліками проаналізованих структур є реалізація вихідних сигналів різних типів в блоках вбудованої пам'яті, що веде до труднощів синхронізації схеми і трудомісткості розробки програмного коду таких структур. Тому основними задачами даної дисертаційної роботи є розробка нових і вдосконалення відомих структур та методів синтезу СМПА в базисі ПЛІС із метою скорочення апаратних витрат схеми при збереженні швидкодії пристрою.

У другому розділі – «Розробка структур СМПА в базисі FPGA» автором розроблена структура для реалізації схем СМПА в базисі FPGA, в якій логічні блоки, що містять LUT, використовуються для реалізації блоку KC1, а блоки вбудованої пам'яті – для реалізації KC2 (LE-структура). Така структура базується на внутрішній гетерогенності FPGA і дозволяє скоротити число задіяних ЛБ у порівнянні з базовою структурою за рахунок реалізації вихідних функцій автомата Мура в блоках вбудованої пам'яті.

При використанні базових структур та структур, заснованих на гетерогенності FPGA, можуть виникати випадки, коли кількість вхідних сигналів блоку більша за кількість входів матричної структури ПЛІС.

Для зменшення кількості входів в роботі використовується метод заміни

логічних умов, який заснований на тому, що множина

$$G = \max(|x(a_1)|, \dots, |x(a_M)|) \quad (9)$$

визначає певний набір додаткових змінних $P = \{p_1, \dots, p_G\}$, яким можна еквівалентно замінити множину логічних умов $X(a_m) \subseteq X$.

Вдосконалений метод синтезу СМПА із використанням заміни логічних умов породжує нову G-структуру СМПА, подану на рис. 2.

В даній структурі блок КС1 виконує перетворення $X \rightarrow P$. Це призводить до реалізації системи

$$P = P(T, X). \quad (10)$$

Блок КС2 реалізує системи функцій збудження пам'яті (СФЗП) і систему вихідних функцій Y^1 , а блок КС3 – систему вихідних функцій Y^2 .

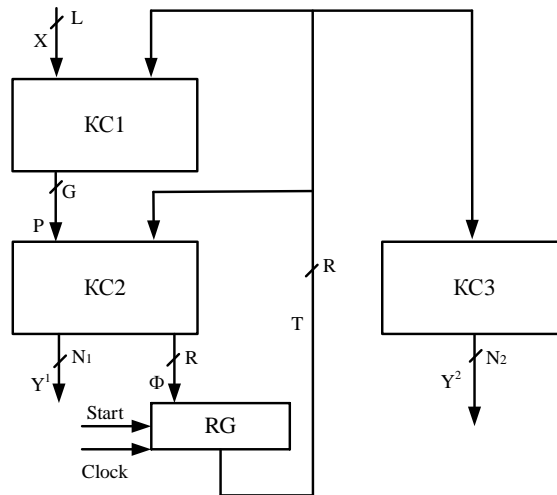


Рис. 2 – G-структура СМПА

У цьому випадку $G \ll L$. Це значно розширює круг алгоритмів, що можуть бути реалізовані в базисі FPGA.

Метод синтезу G-структури СМПА містить такі етапи:

1. Формування множини станів A .
2. Кодування станів $a_m \in A$.
3. Заміна логічних умов $x_l \in X$.
4. Формування ПСТ автомата.
- 5 – 7. Формування таблиць істинності блоків КС1 – КС3.
8. Реалізація схеми автомата у базисі FPGA.

Для подальшого зменшення кількості термів в системі функцій збудження СМПА використовується метод перетворення кодів псевдоеквівалентних станів (ПЕС).

При використанні цього методу в ГСА визначаються псевдоеквівалентні стани. Вершини, що позначені цими станами, характерні тим, що їх виходи зв'язані зі входом однієї і тієї ж наступної вершини ГСА. Далі виконується формування класів псевдоеквівалентності та їх кодування.

Кількість класів ПЕС завжди менша, ніж кількість станів автомата, тому розрядність коду класу менша за розрядність коду станів. Застосування цього методу породжує В-структуру СМПА, подану на рис. 3.

В автоматі В-структурою КС1 реалізує СФЗП і систему вихідних функцій Y^1 ,

а блок КС2 – системи систему вихідних функцій Y^2 і систему $\tau = \tau(T)$.

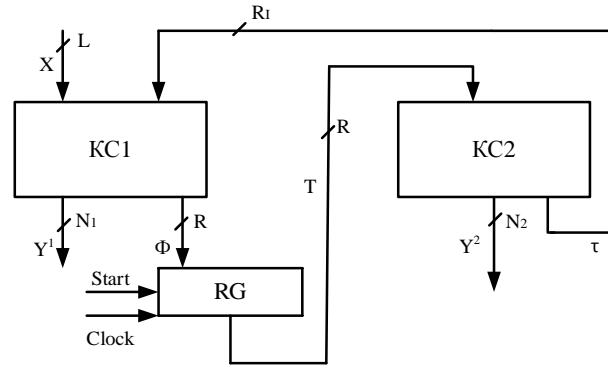


Рис. 3 – В-структура СМПА

Метод синтезу В-структури СМПА містить такі етапи:

1. Формування множини станів A .
2. Кодування станів $a_m \in A$.
3. Формування множини класів псевдоеквівалентних станів P_A .
4. Кодування класів $B_i \in P_A$.
5. Формування ПСТ автомата.
- 6 – 7. Формування таблиць істинності блоків КС1 – КС2.
8. Реалізація схеми СМПА в базисі FPGA.

Вдосконалення базової структури із комплексним використанням методів заміни вхідних змінних і ПЕС породжує GB-структуру СМПА, подану на рис. 4. При цьому має значення одночасне виконання умов $R_I < R$ і $G < L$.

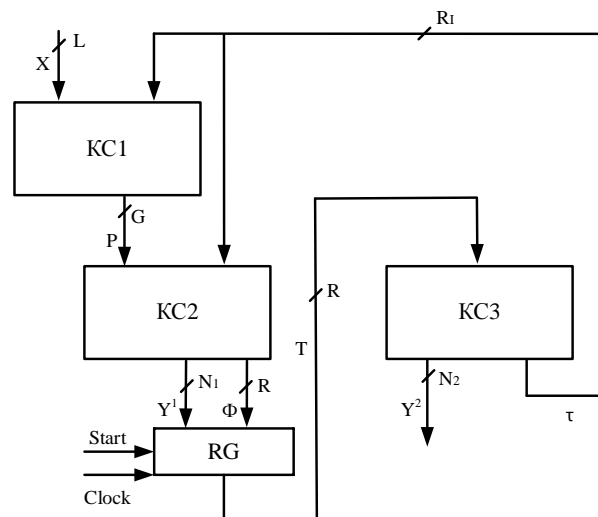


Рис. 4 – GB-структура СМПА

Використання такого перетворення структурної схеми СМПА забезпечує суттєве зменшення розрядності вхідного коду, а також зменшення числа термів в системі функцій збудження пам'яті за рахунок зменшення кількості строк («стискання») прямої структурної таблиці (ПСТ).

Метод синтезу GB-структури СМПА містить такі етапи:

1. Формування множини станів A .
2. Кодування станів $a_m \in A$.

3. Заміна логічних умов $x_i \in X$.
4. Формування множини класів псевдоеквівалентних станів P_A .
5. Кодування класів $B_i \in P_A$.
6. Формування ПСТ автомата.
- 7 – 9. Формування таблиць істинності блоків КС1 – КС3.
10. Реалізація схеми СМПА в базисі FPGA.

Всі вдосконалені структури пов'язані між собою загальним базовими, що засновані на принципі гетерогенності.

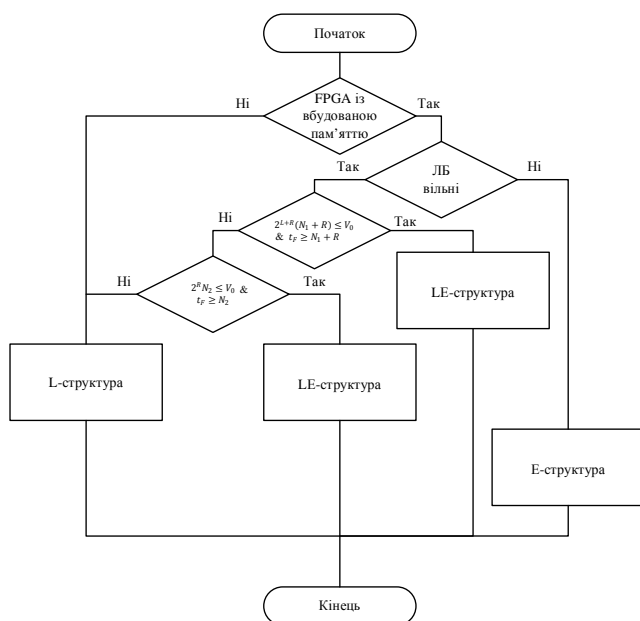


Рис. 5 – Алгоритм вибору структури СМПА, що заснована на гетерогенності FPGA

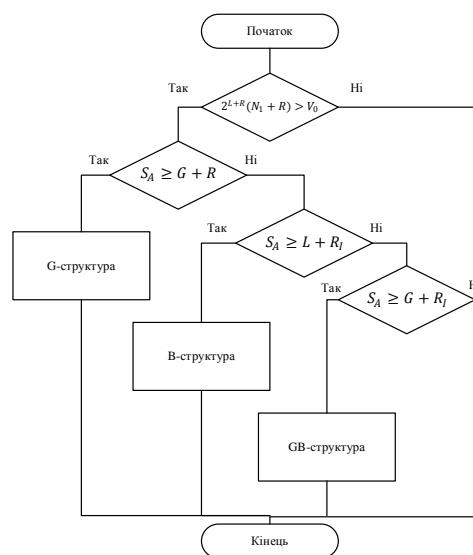


Рис. 6 – Алгоритм вибору оптимізованої структури СМПА

Вибір тієї чи іншої похідної структури виконується на умовах доцільності її використання, які сформульовані в даній дисертаційній роботі і подані у вигляді алгоритмів вибору структури для реалізації в базисі FPGA (рис. 5 – 6).

Основні результати дисертаційної роботи, отримані в розділі 2, опубліковані в [2, 5, 7, 14, 16, 21].

В третьому розділі – «Розробка структур та вдосконалення методів синтезу СМПА в базисі CPLD» вдосконалено методи синтезу СМПА шляхом використання псевдоеквівалентних станів, формування наборів вихідних сигналів, а також оптимального кодування станів для отримання нових структур СМПА на CPLD, що дозволяють зменшити сумарне число термів в усіх системах функцій.

Зменшення апаратних витрат в схемах СМПА напряму пов'язане зі зменшенням кількості термів в системах булевих функцій, що описують автомат.

Як правило, для мінімізації СФЗП і систем вихідних функцій використовують різні методи кодування станів. В даній роботі розроблено нові методи синтезу СМПА зі спеціальним кодуванням псевдоеквівалентних станів та наборів вихідних сигналів СМПА на CPLD, що дозволяє зменшити число термів в системах функцій переходів і підмножини вихідних сигналів автомата Мура.

Класи ПЕС кодуються двійковими кодами $K(B_i)$ розрядності

$$R_I = \lceil \log_2 I \rceil. \quad (11)$$

Для кодування ПЕС використані елементи множини $\tau = \{\tau_1, \dots, \tau_{R_I}\}$.

Класи ПЕС відповідають станам автомата Мілі. Функції (6), (7) подаються в наступному вигляді:

$$\Phi = \Phi(\tau, X); \quad (12)$$

$$Y^1 = Y^1(\tau, X). \quad (13)$$

Для кодування класів $b_i \in \pi_A$ необхідно реалізувати систему функцій

$$\tau = \tau(T). \quad (14)$$

Порівняння функцій (6) і (12), а також (7) і (13) показує, що змінні $\tau_r \in \tau$ замінюють змінні $t_r \in T$. При цьому функції (8) не змінюються.

Структурна схема СМПА U2, перетворена за цим методом подана на рис. 7.

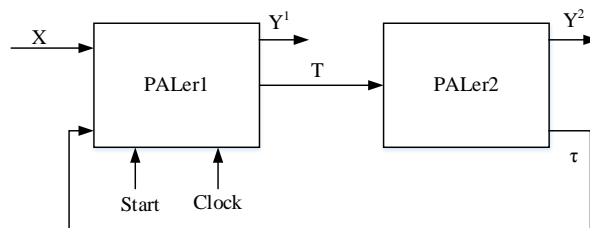


Рис. 7 – Структурна схема СМПА U2

В СМПА U2 блок PALer1 реалізує СФЗП і систему вихідних функцій автомата Мілі, а блок PALer2 – систему вихідних функцій автомата Мура і систему (14).

Для синтезу схеми U2 за ГСА необхідно побудувати ПСТ, яка відрізняється від ПСТ автомата U1. Відмінність зводиться до заміни стовпців a_m і $K(a_m)$ стовпцями B_i і $K(B_i)$ відповідно. При цьому виконується умова

$$H_1 < H, \quad (15)$$

де H_1 – число рядків ПСТ автомата U2, що є еквівалентним автомату U1. Очевидно, автомати U1 і U2 є еквівалентними, якщо вони синтезуються за однією і тією ж ГСА.

Запропонований підхід дозволяє для еквівалентних автоматів U1 і U2 виконати наступне зменшити число термів в функціях (11), (12) у порівнянні з функціями (6) і (7), відповідно. Кодування станів $a_m \in A$ автомата U2 виконується так, щоб зменшити число термів в функціях системи (15).

Для реалізації системи (14) кодування станів виконується таким чином, щоб мінімізувати число макрокомірок PAL, що необхідні для її реалізації.

Синтез автомата U2 за даним методом, містить наступні етапи:

1. Формування позначеної ГСА.
2. Формування розбиття π_A на множині A .
3. Спеціальне кодування класів $b_i \in \pi_A$.
4. Оптимальне кодування станів СМПА.
5. Формування прямої структурної таблиці автомата U2.
6. Формування систем функцій, що задають схему U2.
7. Реалізація схеми СМПА в базисі CPLD.

Наступний підхід також заснований на використанні ПЕС.

Існує дві майже однакові структурні схеми U1 і U3. Різниця між U1 і U3 полягає у зменшенні кількості термів F_h у функціях. В обох випадках вираз A_m визначає терми:

$$A_m = \bigwedge_{r=1}^R T_r^{l_{mr}}, \quad (m = \overline{1, M}). \quad (16)$$

Кодування станів з пріоритетом відносно класів псевдоеквівалентності дозволяє зменшити кількість рядків ПСТ до H_1 у випадку з U3. В свою чергу, це зменшує кількість термів в функціях (6) – (7) для U3 у порівнянні з еквівалентним СМПА U1. Зазначимо, що U1 і U3 вважаються еквівалентними, якщо вони синтезовані з використанням однієї і тієї ж ГСА.

Для синтезу СМПА U3 необхідно виконати такі кроки:

1. Позначення початкової ГСА станами автомата Мура.
2. Формування розбиття π_A на множині A .
3. Оптимальне кодування класів і станів, що входять до Y^2 .
4. Побудова прямої структурної таблиці для U2.
5. Формування систем функцій (6) – (8).
6. Реалізація схеми СМПА базисі CPLD.

Для зменшення числа термів в системах, що описують СМПА, в роботі розроблено метод синтезу СМПА з кодуванням наборів вихідних змінних.

Для реалізації цього методу початкова ГСА позначається станами автомата Мілі, утворюючи множину $A = \{\alpha_1, \dots, \alpha_M\}$. В операторних вершинах ГСА записуються змінні $y_n \in Y^1$, а біля операторних вершин – змінні $y_n \in Y^2$. Утворюється множина наборів вихідних змінних, тобто наборів вихідних сигналів (НВС) $Y_q \subseteq Y^2$. Ці набори записуються біля операторних вершин ГСА. Якщо ГСА включає Q різних НВС, набори Y_q кодуються двійковими кодами $K(Y_q)$ розрядності R_Q :

$$R_Q = \lceil \log_2 Q \rceil. \quad (17)$$

Для кодування НВС використовуються змінні $z_r \in Z$, де $|Z| = R_Q$.

Тоді система (14) може бути подана в такому виді:

$$Y^2 = Y^2(Z). \quad (18)$$

При цьому кожна змінна $y_n \in Y^2$ визначається наступним чином:

$$y_n = \bigvee_{q=1}^Q C_{nq} Z_q, \quad (n = \overline{1, N_2}). \quad (19)$$

Тут C_{nq} – булева змінна, що дорівнює одиниці тоді, і тільки тоді, якщо $y_n \in Y_q$; Z_q – кон'юнкція змінних $z_r \in Z$, яка відповідає коду $K(Y_q)$; $q \in \{1, \dots, Q\}$.

Для реалізації системи (18) необхідно реалізувати систему функцій

$$Z = Z(T, X). \quad (20)$$

Така модель СМПА подається структурною схемою U4 (рис. 8).

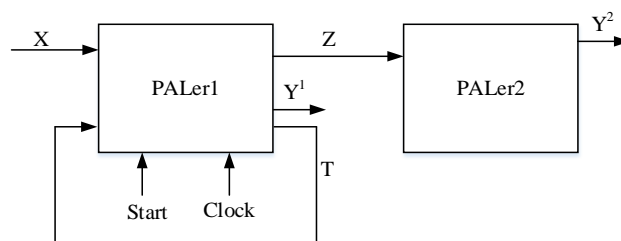


Рис. 8 – Структурна схема СМПА U4

Підхід, що пропонується, надає такі можливості для еквівалентних автоматів $U1$ і $U4$:

1. Зменшення кількості рядків ПСТ автомата $U4$ в порівнянні з числом H , що також дозволяє зменшити кількість термів в системах (6) – (8) автомата $U4$ в порівнянні з $U1$.

2. Кодування станів відокремлене від кодування наборів вихідних сигналів. Таким чином, кодування станів виконується так, щоб зменшити число термів в кожній з функцій (6) – (7). Кодування НВС, в свою чергу, виконується так, щоб зменшити число термів в кожній з функцій $y_n \in Y^2$ автомата Мура.

Метод синтезу автомата $U4$ включає наступні етапи:

1. Формування множини станів автомата Мілі для заданої ГСА.
2. Кодування станів $a_m \in A$ оптимальним для D-тригера кодом.
3. Формування наборів вихідних змінних $Y_q \subseteq Y$.
4. Оптимальне кодування наборів вихідних змінних за картами Карно.
5. Формування прямої структурної таблиці СМПА $U4$.
6. Формування систем функцій, що задають схему СМПА.
7. Реалізація схеми в базисі CPLD.

Для вибору структури СМПА для реалізації в базисі CPLD розроблений алгоритм вибору (рис. 9).

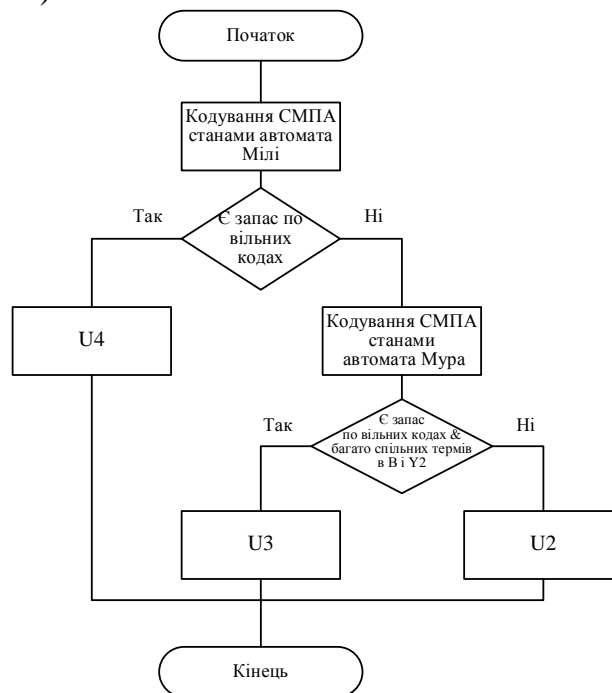


Рис. 9 – Алгоритм вибору структури СМПА при реалізації на CPLD

З алгоритму видно, що істотний вплив на можливість використання тієї чи іншої структури має запас по вільних кодах. Умова достатнього запасу по вільних кодах визначається виразом, отриманим емпірично:

$$N_K \rightarrow 2^n + \omega, \quad (21)$$

де $\omega \in [1; 0,5N_K]$. В цьому виразі N_K – кількість станів, вихідних функцій або їх наборів, що необхідно закодувати за картою Карно.

Основні результати дисертаційної роботи, отримані в розділі 3, опубліковані

в [1, 3, 4, 6, 8, 13].

У четвертому розділі – «Дослідження структур СМПА в базисі ПЛІС» проведено дослідження ступеню ефективності використання апаратних ресурсів при реалізації схем СМПА за розробленими структурами в базисах FPGA і CPLD.

Дослідження структур СМПА в базисі FPGA. У дисертаційній роботі досліджена ефективність використання гетерогенної структури FPGA для вивільнення розподілених ресурсів при використанні вбудованої пам'яті мікросхем.

Дослідження проводились для L- і LE-структур СМПА при реалізації пристроїв управління на мікросхемах Altera (Intel), Xilinx і Microsemi. Для LE-структури пристрою управління, описаного математичною моделлю СМПА, були отримані значення апаратних витрат, за якими побудовані діаграми (рис. 10 – 11), що відображують ступінь вивільнення розподілених апаратних ресурсів при порівнянні із L-структурою.

Зважаючи, що $N = N_1 + N_2$, мінімальні витрати на апаратне забезпечення будуть потрібні за умови $N_1 \ll N_2$, тобто якщо більша частина вихідних сигналів реалізується на блоках вбудованої пам'яті.

В дисертаційній роботі проведено дослідження вдосконалених методів синтезу СМПА на FPGA. За кожним методом виконано формування відповідних функції і імплементація в мікросхеми різних серій.

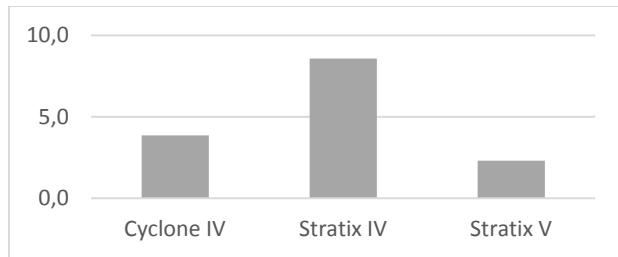


Рис. 10 – Вивільнення ЛБ для різних серій мікросхем Altera (Intel), %

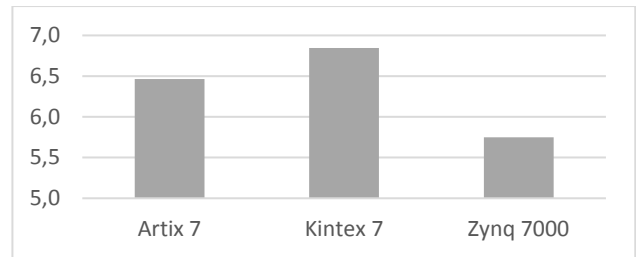


Рис. 11 – Вивільнення ЛБ для різних серій мікросхем Xilinx, %

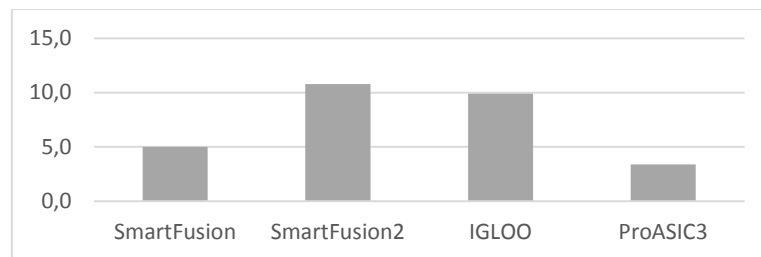


Рис. 12 – Вивільнення ЛБ для різних серій мікросхем Microsemi, %

Результати досліджень, що показують вивільнення розподілених ресурсів при використанні G- і GB-структур порівняно з базовою при використанні мікросхем різних виробників наведені на рис. 13 і 14 відповідно.

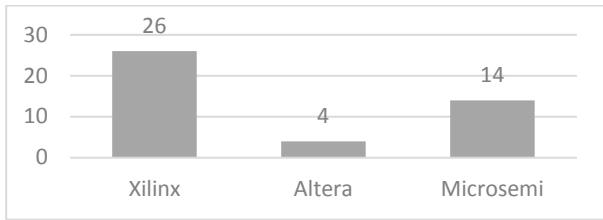


Рис. 13 – Вивільнення ЛБ при використанні G-структури СМПА, %

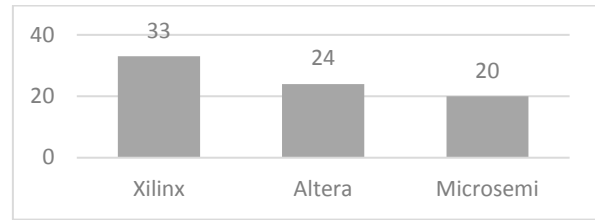


Рис. 14 – Вивільнення ЛБ при використанні GB-структури СМПА, %

Аналіз результатів доводить ефективність застосування даних методів і дозволяє оцінити ступінь редукції. На діаграмах рис. 13 і рис. 14 видно, що застосування методу заміни вхідних змінних (G-структура) дозволяє зменшити кількість елементів на 26 %, 4 % та 14 % для мікросхем фірми Xilinx, Altera і Microsemi відповідно. Комплексне використання методів структурної редукції (GB-структура) дає зменшення в середньому на 33 %, 24 % та 20 % для мікросхем фірми Xilinx, Altera і Microsemi відповідно.

Дослідження структур СМПА в базисі CPLD. Дослідження запропонованих структур в базисі CPLD проводились на основі реального алгоритму керування. Для отримання базової моделі СМПА стани автомата були закодовані тривіально, побудована пряма структурна таблиця та системи функцій. Отримані системи представлені синтезованими конструкціями мови VHDL та імплементовані в мікросхеми серій MAX V фірми Altera, а також CoolRunner 2 і XC9500XL фірми Xilinx.

Після опрацювання ГСА та імплементатії проектів були отримані дані щодо зменшення апаратних затрат при використанні структур U1 – U4 СМПА в різних серіях мікросхем CPLD (рис. 15 – 17).

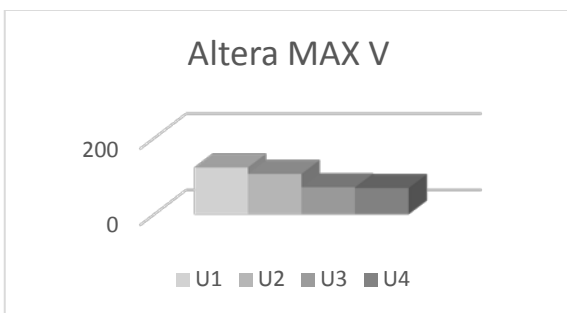


Рис. 15 – Кількість задіяних макрокомірок при реалізації схеми СМПА на мікросхемах серії MAX V

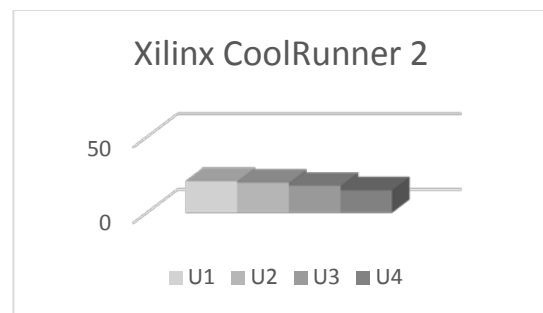


Рис. 16 – Кількість задіяних макрокомірок при реалізації схеми СМПА на мікросхемах серії CoolRunner 2

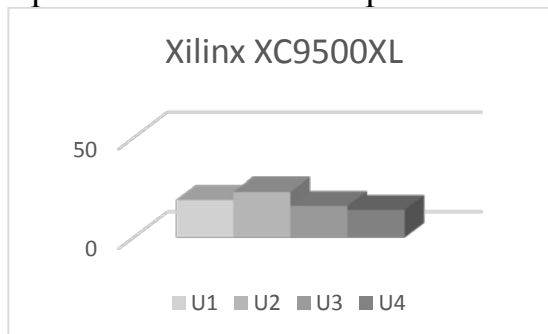


Рис. 17 – Кількість задіяних макрокомірок при реалізації схеми СМПА на мікросхемах серії XC9500XL

Проаналізувавши результати досліджень можна зробити такі висновки:

- найбільш ефективно розташувати логічну схему СМПА, оптимізовану наведеними в роботі методами за критерієм апаратурних витрат, дозволяють мікросхеми Xilinx серії XC9500XL;

- з розглянутих структур СМПА використання структури U4 дозволяє отримати схему пристрою керування, яка за характеристикою апаратурних витрат випереджає інші розглянуті структури. Застосування цієї структури дає позитивний результат для всіх сімейств мікросхем, що досліджувались.

Так, використання структури U4 дозволяє зменшити апаратурні витрати в середньому на 29,6 % порівняно з базовою структурою.

Дослідження результатів використання запропонованих структур при вирішенні науково-практичної задачі. У дисертаційному дослідженні в рамках роботи згідно договору №1-4817 про науково-технічне співробітництво Запорізького національного технічного університету з НПП «Хартрон-Юком» вирішується науково-практична задача зменшення апаратурних затрат в схемі пристрою управління конфігурацією бортового вимірювального комплексу.

В роботі був використаний фрагмент алгоритму пристрою керування, заданий функціональним деревом, який був перетворений до ГСА. Зважаючи на розмірність повного алгоритму, для імплементації проекту був обраний базис FPGA. Відповідна ГСА була закодована станами СМПА і подана у вигляді L-, LE- і EL-структур.

Після імплементації різних структур СМПА в мікросхеми різних серій фірми Altera (Intel) були отримані дані, що відображені на рис. 18. Імплементація проектів проводилась для мікросхем Altera серій ArriaGX, Stratix та Stratix II, що обумовлено технічними можливостями замовника.

На діаграмі (рис. 18) видно, що і при використанні LE-структури, і при використанні EL-структури виникає зменшення кількості задіяних ЛЕ в логічній схемі пристрою управління, при використанні вбудованої пам'яті.

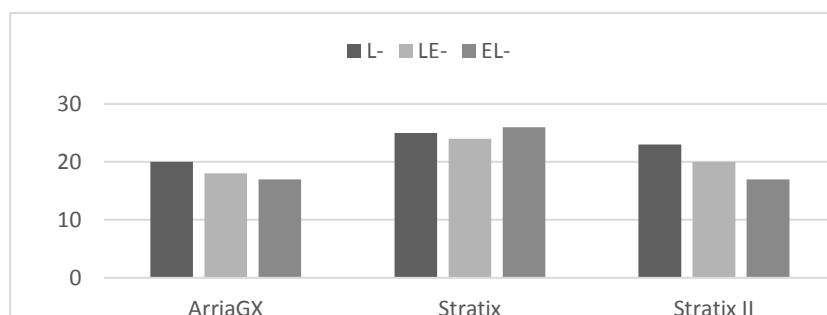


Рис. 18 – Кількість задіяних логічних блоків при імплементації різних структур СМПА у мікросхеми різних серій фірми Altera (Intel)

Більшу ефективність ці методи мають для досліджуваних мікросхем серій Arria GX і Stratix II, меншу – для сімейства Stratix. Для даного фрагменту алгоритму пристрою управління ефективність, EL-структури – 9 %, а запропонованої LE-структури – 12,4%

Дослідження проводились у програмних пакетах Altera Quartus II v.9.1, Xilinx ISE Design Suite v.14.7 та Vivado Design Suite 2017.1, а також Microsemi Libero SoC v.11.8. Для кожної досліджуваної структури проводився аналіз часових і енергетичних характеристик. Аналіз показав коливання споживаної потужності у межах 1 % від базової структури. З часових характеристик контролювались максимальна частота роботи схеми і максимальний час проходження сигналу від входу до виходу. В усіх структурах збережені необхідні часові характеристики. Коливання максимального значення часу проходження сигналу при максимальній частоті, згідно із звітами з імплементації, склало в середньому 4,7 % у порівнянні зі значеннями отриманими для базової структури.

Необхідно зауважити, що різниця в ефективності використання розроблених структур може залежати не тільки від архітектурних особливостей елементної бази, але і від алгоритмів спеціалізованого програмного забезпечення, що реалізує компіляцію і імплементацію проектів. Зважаючи на те, що розроблені структури мають доведену ефективність, вони можуть бути запропоновані для вдосконалення сучасних інтегрованих середовищ розробки.

Основні результати досліджень опубліковані в [4, 9, 10, 11, 12, 15, 18, 19, 20].

ВИСНОВКИ

У дисертаційній роботі дано рішення актуальної наукової задачі, що полягає в розробці нових структур та вдосконаленні методів синтезу суміщеного мікропрограмного автомата, орієнтованих на зменшення витрат апаратури в логічній схемі СМПА при її реалізації в базисі ПЛІС.

У процесі досліджень вирішені наступні задачі:

- виконано аналіз архітектурних особливостей мікросхем типу FPGA і CPLD, а також відомих структур і методів синтезу СМПА, орієнтованих на реалізацію в цьому базисі;
- розроблено нову структуру СМПА для реалізації в базисі FPGA, що відрізняється від відомих тим, що система вихідних функцій автомата Мура реалізується в блоках вбудованої пам'яті, а системи функцій збудження пам'яті та функцій автомата Мілі реалізуються на розподілених ресурсах кристалу. Така структура забезпечує зменшення до 10,8 % кількості задіяних розподілених ресурсів в схемі СМПА і, отже, площі, що займає логічна схема СМПА в ПЛІС;
- вдосконалено структури і методи синтезу СМПА на FPGA, що дозволяє зменшити кількість змінних в термах логічних функцій, які описують суміщений МПА. Таким чином досягнуто зменшення до 33 % ступеню надлишковості використання внутрішніх ресурсів кристалу при імплементації;
- розроблено нові методи синтезу СМПА на CPLD зі спеціальним комплексним кодуванням наборів вихідних сигналів та ПЕС, що дозволяє зменшити загальну кількість термів в системах логічних функцій СМПА, і, як наслідок – кількість використовуваних макрокомірок. Показано, що застосування розроблених методів синтезу СМПА для мікросхем різних сімейств CPLD фірм Xilinx і Altera забезпечує зменшення апаратурних витрат у логічній схемі в середньому на 29,6 %;

- вирішена науково-практична задача зменшення апаратурних витрат в схемі пристрою управління конфігурацією бортового обчислювального комплексу;
- сформульовано рекомендації щодо використання розроблених структур і методів синтезу СМПА для елементної бази різних виробників. Рекомендації подані у вигляді алгоритмів вибору структур.

СПИСОК ОПУБЛІКОВАНИХ ПРАЦЬ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

Статті у фахових наукових виданнях України

1. Грушко С.С. Аналіз методів зменшення апаратурних витрат при реалізації схем суміщених мікропрограмних автоматів на CPLD / С.С. Грушко, І.Я. Зеленева // Електротехнічні та комп'ютерні системи. – 2018. – №2. – С. 161 – 169.
2. Грушко С.С. Класифікація структур суміщених мікропрограмних автоматів при реалізації в базисі FPGA / С.С. Грушко // Вчені записки Таврійського національного університету імені В.І.Вернадського. Серія: Технічні науки, Київ, 2018, Том 29 (68) №1 2018. Частина 1. – С. 131 –136.
3. Баркалов О.О. Кодування наборів вихідних сигналів в схемі суміщеного мікропрограмного автомата на CPLD / О.О. Баркалов, Л.А. Титаренко, І.Я. Зеленева, С.С. Грушко // Наукові праці Донецького національного технічного університету. Серія : Інформатика, кібернетика та обчислювальна техніка. - 2017. - № 2. - С. 5-11.
4. Зеленева И.Я. Экспериментальное исследование методов оптимизации аппаратурных затрат при реализации управляющего автомата Мура на CPLD / И.Я. Зеленева, С.С. Грушко, Д.В. Арапин // Збірник наукових праць «Системи обробки інформації», Випуск 2 (148), Харків, 2017. – С. 34 – 41.
5. Баркалов А. А. Использование псевдоэквивалентных состояний в совмещенном микропрограммном автомате / А. А. Баркалов, Л. А. Титаренко, И. Я. Зеленева, С. С. Грушко // Наукові праці Донецького національного технічного університету. Серія : Інформатика, кібернетика та обчислювальна техніка. - 2017. - № 1. - С. 5-11.
6. Баркалов А.А. Метод уменьшения числа термов при реализации схемы совмещенного микропрограммного автомата в базисе CPLD / А.А. Баркалов, Л.А. Титаренко, И.Я. Зеленева, С.С. Грушко // Вісник НТУ «ХПІ», Харків, 2016, №49 (1221). – С. 25 – 31.
7. Баркалов А.А. Оптимизация схемы совмещенного автомата в базисе FPGA способом замены входных переменных / А.А. Баркалов, И.Я. Зеленева, С.С. Грушко // Науковий вісник Чернівецького національного університету імені Юрія Федьковича. Серія: Комп'ютерні системи та компоненти. Том 6, Випуск 2. – Чернівці: ЧНУ, 2015. – С. 49 -54.

Статті у наукових періодичних виданнях інших держав

8. Barkalov A. Implementing combined FSM with CPLDs / A. Barkalov, L. Titarenko, I. Zeleneva, S. Hrushko // International Journal of Software Engineering and Computer Systems (IJSECS), 2017, Volume 4 Issue 1. –pp. 75 – 83.

Матеріали конференцій

9. Грушко С.С. Реализация совмещенного микропрограммного автомата на микросхемах программируемой логики / С.С. Грушко// Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій:

Тези доповідей ІХ Міжнародної науково-практичної конференції [Електронний ресурс] Запоріжжя : ЗНТУ, 2018. – с. 87 – 89.

10. Баркалов А.А. Применение методов структурной редукции в совмещенных автоматах / А.А. Баркалов, Л.А. Титаренко, И.Я. Зеленева, С.С. Грушко // Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій: Тези доповідей ІХ Міжнародної науково-практичної конференції [Електронний ресурс] Запоріжжя : ЗНТУ, 2018. – с. 81 – 83.

11. Грушко С.С. Імплементация схеми суміщеного мікропрограмного автомата на FPGA / С.С. Грушко, І.Я. Зеленьова, А.О. Федько, М.О. Павлішин // Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій: Тези доповідей ІХ Міжнародної науково-практичної конференції [Електронний ресурс] Запоріжжя : ЗНТУ, 2018. – с. 89 – 91.

12. Зеленева И.Я. Сравнительный анализ способов реализации управляющих алгоритмов в базисе FPGA / И.Я. Зеленева, С.С. Грушко, А.А. Котенко, В.В. Зеленько // Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій: Тези доповідей ІХ Міжнародної науково-практичної конференції [Електронний ресурс] Запоріжжя : ЗНТУ, 2018. – с. 91 – 92.

13. Грушко С.С. Аналіз методів зменшення апаратурних витрат при реалізації схем суміщених мікропрограмних автоматів на CPLD / С.С. Грушко, І.Я. Зеленьова // Матеріали Міжнародної науково-практичної конференції «Електротехнічні та комп'ютерні системи: теорія та практика», Одеса, 29 травня – 1 червня, 2018.

14. Barkalov A. Implementing on the field programmable gate array of combined finite state machine with counter / A. Barkalov, L. Titarenko, I. Zeleneva, S. Hrushko // Conference Proceedings of 2018 IEEE 9th International Conference on Dependable Systems, Services and Technologies DESSERT'2018 Ukraine, Kyiv, May 24-27, 2018.

15. Грушко С.С. Оптимізація апаратурних витрат при реалізації алгоритмів керування в мікросхемах XILINX / С.С. Грушко, А.О. Федько // Комп'ютерні інтелектуальні системи та мережі. Матеріали XI Всеукраїнської науково практичної WEB конфе-ренції аспірантів, студентів та молодих вчених (21-23 березня 2018 р.). – Кривий Ріг: ДВНЗ «Криворізький національний університет», 2018. – 250 с. С.100-103.

16. Hrushko S.S. Implementing combined FSM with heterogeneous FPGA //Proceedings of 14th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET), Lviv-Slavske, Ukraine, February 20 – 24, 2018, 270 papers.

17. Грушко С.С. Порівняльна характеристика способів оптимізації схем суміщених мікропрограмних автоматів при реалізації на CPLD / С.С. Грушко, І.Я. Зеленьова, Д.В. Арапін // International research and practice conference «Modern methods, innovations, and experience of practical application in the field of technical sciences»: Conference proceedings, December 27–28, 2017. Radom: Izdevnieciba «Baltija Publishing». pp. 51-54.

18. Грушко С.С. Экспериментальное исследование способов оптимизации автомата Мура в базисе CPLD [Текст] / С.С. Грушко, Д.В. Арапін // Тиждень науки: щоріч. наук.- практ. конф., 18-21 квітня 2017 р.: тези доп. / Редкол.: В.В. Наумик

(відпов. ред.) Електрон. дані.- Запоріжжя : ЗНТУ, 2017. - С. 651 - 1 електрон. опт. диск (DVD-ROM). - назва з тит. екрана.

19. Зеленева И.Я. Экспериментальное исследование методов оптимизации аппаратных затрат при реализации управляющего автомата Мура на CPLD / И.Я. Зеленева, С.С. Грушко, Д.В. Арапин // Матеріали Міжнародної науково-практичної конференції «Проблеми і перспективи розвитку ІТ-індустрії»: тези доповідей 20-21 квітня 2017 р. – Х.: ХНЕУ імені Семена Кузнеця, 2017.

20. Ефименко Н.В. Оптимизация схемы блока управления конфигурацией бортового цифрового вычислительного комплекса системы управления КА в базисе FPGA / Н.В. Ефименко, И.Я. Зеленева, С.С. Грушко, Д.В. Лукаш // Тези доповідей VIII Міжнародної науково-практичної конференції «Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій», ЗНТУ, 21–23 вересня 2016 р., м. Запоріжжя с.137-138.

21. Баркалов А.А. Способы оптимизации схем совмещенных микропрограммных автоматов в базисе FPGA / А.А. Баркалов, И.Я. Зеленева, С.С. Грушко, Д. Ю. Михайлютенко // Тези доповідей VIII Міжнародної науково-практичної конференції «Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій», ЗНТУ, 21–23 вересня 2016 р., м. Запоріжжя, с. 281-282.

АНОТАЦІЯ

Грушко С. С. Методи зменшення апаратних витрат для суміщених мікропрограмних автоматів на мікросхемах програмованої логіки – На правах рукопису.

Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 «Комп'ютерні системи та компоненти». – Запорізький національний технічний університет, Запоріжжя, 2018.

Дисертаційна робота присвячена вирішенню актуальної наукової задачі розробки структур і вдосконаленню методів синтезу суміщеного МПА, орієнтованих на зменшення апаратних витрат при реалізації логічної схеми СМПА базисі ПЛІС (FPGA і CPLD).

В роботі розроблено структуру СМПА для реалізації в базисі FPGA, що базується на використанні гетерогенної структури FPGA, вдосконалені методи синтезу схем СМПА на FPGA, що дозволяють ефективно використовувати особливості базису гетерогенних FPGA для зменшення апаратних витрат в логічній схемі СМПА.

Розроблено структури і вдосконалено методи синтезу схем СМПА на CPLD. Показано що використання цих структур забезпечує зменшення апаратних витрат у логічній схемі СМПА в середньому на 29,6 %.

Вирішена науково-практична задача мінімізації апаратних витрат в схемі блоку управління конфігурацією бортовим обчислювальним комплексом.

Розроблені рекомендації щодо використання запропонованих структур і методів для елементної бази різних виробників.

Ключові слова: СМПА, FPGA, CPLD, логічна схема, вбудована пам'ять, псевдоеквівалентні стани

АННОТАЦИЯ

Грушко С. С. Методы уменьшения аппаратурных затрат для совмещенных микропрограммных автоматов на микросхемах программируемой логики. - На правах рукописи.

Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.05 «Компьютерные системы и компоненты». - Запорожский национальный технический университет, Запорожье, 2018.

Диссертация посвящена решению актуальной научной задачи разработки структур и совершенствованию методов синтеза совмещенного МПА, ориентированных на уменьшение аппаратурных затрат при реализации логической схемы СМПА базисе ПЛИС (FPGA и CPLD).

В работе разработана структура СМПА для реализации в базисе FPGA, основанная на использовании гетерогенной структуры FPGA, усовершенствованы методы синтеза схем СМПА на FPGA, позволяющие эффективно использовать особенности базиса гетерогенных FPGA для уменьшения аппаратурных затрат в логической схеме СМПА.

Разработаны структуры и усовершенствованы методы синтеза схем СМПА на CPLD. Показано что использование этих структур обеспечивает уменьшение аппаратурных затрат в логической схеме СМПА в среднем на 29,6 %.

Решена научно-практическая задача минимизации аппаратурных затрат в схеме блока управления конфигурацией бортовым вычислительным комплексом.

Разработаны рекомендации по использованию предложенных структур и методов для элементной базы различных производителей.

Ключевые слова: СМПА, FPGA, CPLD, логическая схема, встроенная память, псевдоэквивалентные состояния

ABSTRACT

Svitlana Hrushko. Methods to reduce hardware costs for combined finite state machine on programmable logic chips. – Manuscript.

Thesis for a candidate's degree by specialty 05.13.05 – Computer systems and components. - Zaporizhzhya National Technical University, Zaporizhzhya, 2018.

The thesis is devoted to solving the topical scientific problem of developing the structures and methods for synthesis of the combined finite state machines (CFSM), aimed at reducing equipment costs when implementing the CFSM logical scheme in the basis of programmable logic integrated circuits such as FPGA and CPLD.

The structure of the CFSM was developed for implementation in the FPGA, based on the usage of the heterogeneous FPGA structure, methods for synthesizing the CFSM circuit on the FPGA were improved, making it possible to efficiently usage the basis features of the heterogeneous FPGAs to reduce hardware costs in the CFSM logic circuit.

Structures and methods for synthesizing CFSM circuit for CPLD have been developed and improved. It is shown that the usage of these structures provides a reduction in hardware costs in the combined FSM logic circuit by an average of 29.6 %.

The scientific and practical problem of minimizing hardware costs in the circuit configuration control unit onboard computing system has been solved.

Recommendations on the usage of the proposed structures and methods for the element base of various manufacturers have been developed.

Keywords: combined FSM, FPGA, CPLD, logic circuit, embedded memory, pseudo-equivalent states